

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-217024

(43)Date of publication of application : 24.09.1991

(51)Int.CI. H01L 21/321

(21)Application number : 02-012091 (71)Applicant : HITACHI LTD

HITACHI VLSI ENG CORP

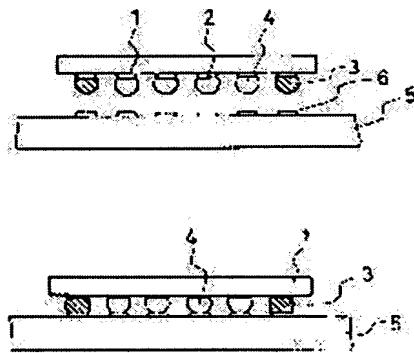
(22)Date of filing : 22.01.1990 (72)Inventor : TATE HIROSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the position deviation of the temporary fixing part to a substrate until it is completely conveyed into a soldering atmosphere by providing a low composition having a low melting point for at least one of electrode parts, or covering at least the junction with alloy for the electrodes having the low-melting-point composition.

CONSTITUTION: Electrode parts 2-4 are formed so that the electrodes are exposed on the same plane from a package. The electrode parts 2-4 are soldered and connected to electrodes 6 on a substrate. In this semiconductor substrate 1, at least one of the above described electrode parts 2-4 has a low melting point composition, or at least the junction is covered with electrode metal 3 having the low melting point composition. For example, the low melting point alloy parts 3 are provided at the four corners (or two points at the outermost parts on the diagonal lines) in a wiring 2 of a mounted part 1. Electrode alloy parts 4 having the melting point which is higher than that of the low-melting-point electrode alloy parts 3 by several tens of °C are provided. The mounted part 1 is positioned on the mounting substrate 5 on which flux is applied. The providing atmosphere is heated to a degree so that the low-melting-point electrode alloy parts 3 are fused and the electrode alloy parts 4 are not fused, and temporary fixing is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

平3-217024

⑬ Int. Cl. 5

H 01 L 21/321

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月24日

6940-5F H 01 L 21/92

D

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-12091

⑯ 出 願 平2(1990)1月22日

⑰ 発明者 館 宏 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出願人 日立超エル・エス・アイ・エンジニアリング 株式会社 東京都小平市上水本町5丁目20番1号

⑰ 代理人 弁理士 简井 大和

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. パッケージから同一平面上に露出するように電極部が形成され、この電極部が基板側の電極にはんだ接続される半導体装置であって、前記電極部の少なくとも1つを低融点の組成にし、あるいは少なくともその接続部を低融点の組成の電極用合金で覆うことを特徴とする半導体装置。

2. パッケージから同一平面上に露出するように電極部が形成され、この電極部が基板側の電極にはんだ接続される半導体装置であって、前記基板側電極の内の少なくとも1つを低融点の電極用合金で覆うことを特徴とする半導体装置。

3. パッケージから同一平面上に露出するように電極部が形成され、この電極部が基板側の電極にはんだ接続される半導体装置であって、前記電極部の内の少なくとも1つには電極部を設け

ず、これに対応する基板側電極上に前記電極部と同一形状で低融点の電極用合金を配設することを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電極を精密に接合させるための技術、特に、フリップチップのように高密度に配置された電極を基板側に正確に位置合わせさせるために用いて効果のある技術に関するものである。

〔従来の技術〕

例えば、はんだバンプを電極とするフリップチップ技術による半導体装置を搭載基板に接合するに際しては、搭載基板の基板電極とはんだバンプとを正確に位置決めし、この状態を保持したまま加熱してはんだ接合を行っている。

このようなフリップチップに関する技術は、例えば、総研出版株式会社発行、武石喜幸監訳「超LSIテクノロジー」610頁に記載されている。

ところで、本発明者は、高密度に配設された電極の位置ずれについて検討した。

以下は、本発明者によって検討された技術であり、その概要は次の通りである。

すなわち、半導体装置などの搭載部品を搭載基板に搭載する場合、搭載基板の基板電極上にフラックスを塗布し、このフラックスの粘性力をを利用して半導体チップのはんだパンプを仮止めし、はんだ接合の雰囲気中への移送が完了するまで位置ずれを生じないようにしている。

〔発明が解決しようとする課題〕

ところが、前記の如くフラックスを用いて仮止めを行う接合工程を有する半導体装置においては、フラックスの粘性力がそれほど強力ではないため、外力が加わると位置ずれを生じるという問題のすることが見出された。

そこで、本発明の目的は、基板との仮止めが搬入完了まで位置ずれを生じさせないようにする技術を提供することにある。

本発明の前記の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

- 3 -

半導体装置の搭載後を示す正面図である。

搭載部品 1 は半導体装置であり、半導体チップ（不図示）がパッケージで覆われると共に、このパッケージ下面には、配線 2 が露出するように設けられている。配線 2 は、一定間隔にパッケージの下部周縁（さらには下部全面）に所定間隔に多数が配設されている。この配線 2 の内の四隅（または対角線上の最も外側の 2 点）には低融点の低融点電極用合金 3 が設けられ、他の配線 2 には低融点電極用合金 3 より數十℃高い融点（例えば、312℃の融点）を有する電極用合金 4 が電極部として設けられている。

電極用合金 4 には、Pb (鉛) - Sn (錫) 系、Ag (銀) - Sn 系が用いられ、低融点低融点電極用合金 3 には Bi (ビスマス) - Pb - Sn 系、Bi - Sn - Cd (カドミウム) 系、Bi - Sn - Zn (亜鉛) 系、Bi - Cd 系もしくは電極用合金 4 より低融点な Pb - Sn 系を用いる。この電極用合金 4 の形成方法としては、必要量の合金を治具（不図示）によって、前記特定の配線 2 に

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

すなわち、パッケージから同一平面上に露出するよう電極部が形成され、この電極部が基板側の電極にはんだ接続される半導体装置であって、前記電極部の少なくとも 1 つを低融点の組成にし、あるいは少なくともその接続部を低融点の組成の電極用合金で覆うようにしたものである。

〔作用〕

上記した手段によれば、電極部の内で低融点電極用合金によるもののみが位置合わせと共に施される低い温度の加熱によって溶融し、搭載部品と搭載基板との位置固定が行われる。したがって、他の電極部を溶融するために加熱炉に搬入する過程で外力が付与されても、位置ずれを生じさせることがない。

〔実施例〕

第 1 図は本発明による半導体装置の一実施例の搭載前を示す正面図、第 2 図は本発明による半導

- 4 -

当て、加熱接合によって接合する。

一方、搭載部品 1 が搭載される搭載基板 5 は、ガラス、セラミック、プラスチックなどが用いられ、配線 2 の各々に対向する位置に基板電極 6 が設けられており、低融点電極用合金 3 及び電極用合金 4 がはんだ接続される。また、基板電極 6 は、ニッケル (Ni) の表面に金 (Au) を施した薄い金属層が用いられ、不図示の基板内配線に接続されている。

搭載部品 1 を搭載基板 5 に搭載するに際しては、第 1 図に示すように、予め低融点電極用合金 3 及び電極用合金 4 が設けられた搭載部品 1 をフラックスを塗布した搭載基板 5 上に位置決めし、低融点電極用合金 3 及び電極用合金 4 と基板電極 6 を接触させ、この状態のまま（すなわち搭載基板 5 を移動させず）、低融点電極用合金 3 が溶融し電極用合金 4 が溶融しない程度に設置雰囲気を加熱する。この加熱により、低融点電極用合金 3 のみが溶融し、搭載部品 1 と搭載基板 5 が部分的に接続（すなわち、仮止め）される。したがって、外

部から衝撃などの外力が与えられても、低融点電極用合金3及び電極用合金4と基板電極6との間に位置ずれを生じることがない。こののち、加熱炉などへ搬入して電極用合金4を溶融させ、全ての基板電極6に電極用合金をはんだ接続する。

このように、低融点電極用合金3が仮止め部材と本来の電極とを兼用し、通常与えられるような外力に対して剥離などを生じることがない状態で搭載部品1と搭載基板5が固定されるため、加熱炉への搬送過程で衝撲などが付与されても、低融点電極用合金3及び電極用合金4と基板電極6との間に位置ずれを生じることがない。

〔実施例2〕

第3図は本発明による半導体装置の第2実施例の搭載前を示す正面図、第4図は第3図の実施例による半導体装置の搭載後を示す正面図である。

本実施例は、前記実施例が低融点電極用合金3を搭載部品1側に設けていたのに対し、搭載基板5側に設けたところに特徴がある。すなわち、低融点電極用合金3を基板電極6の内の四隅（ある

いは対角線上の最も外側の2点）に設けたものである。この形成方法としては、前記の方法の他、予め小片にした合金を低融点電極用合金3として基板電極6に圧着し、これを加熱溶融するようにしてもよい。

本実施例においては、第3図のように搭載部品1と搭載基板5を位置決めしてから、両者を圧着した状態で低融点電極用合金3が溶融する程度の温度で予備加熱し、低融点電極用合金3のみを溶融させ、低融点電極用合金3を対向する配線2に接合する。この後、加熱炉へ搬入し、電極用合金4を溶融させて電極用合金4とこれに対向する基板電極6を接続する。この実施例においては、前記実施例と全く同一の効果を得ることができる。

〔実施例3〕

第5図は本発明による半導体装置の第3実施例の搭載前を示す正面図、第6図は第5図の実施例による半導体装置の搭載後を示す正面図である。

本実施例は、搭載部品1の配線2には電極用合金4のみを設けるものとし、基板電極6の内の四

- 7 -

隅（あるいは対角線上の最も外側の2点）の電極表面にのみ薄く低融点電極用合金7を設けるようにしたものである。低融点電極用合金7は、厚く形成した場合、隣接の電極に対しブリッジなどを生じるので、できるだけ薄くし、必要部以外に溶出しないようにするが望ましい。

なお、低融点電極用合金7を形成する方法としては、前記の他に、搭載基板5上に低融点電極用合金7を設ける対象の基板電極6のみが露出するマスクを置き、蒸着、ディッピングなどによって形成することもできる。

本実施例においては、第5図のように搭載部品1と搭載基板5を位置決めしてから、両者を圧着した状態で低融点電極用合金7が溶融する程度の温度で予備加熱し、低融点電極用合金7のみを溶融させ、この低融点電極用合金7を電極用合金4と基板電極6の間に介在させる。これによって、搭載部品1と搭載基板5が固定され、外力が加えられても電極間に位置ずれを生じさせることができない。

- 8 -

〔実施例4〕

第7図は本発明による半導体装置の第4実施例の搭載前を示す正面図、第8図は第7図の実施例による半導体装置の搭載後を示す正面図である。

本実施例は、第5図及び第6図に示した実施例が、低融点電極用合金7を特定した基板電極6に設けていたのに対し、逆に、電極用合金4側に薄く形成するようにしたものである。すなわち、搭載部品1側の配線2の全てに電極用合金4のみを設けるものとし、この内の四隅（あるいは対角線上の最も外側の2点）にのみ低融点電極用合金8を設けるものとしたものである。低融点電極用合金8の形成方法は、低融点電極用合金7と同様にマスクを用いて蒸着を行うことにより達成できる。

実装に際しては、第7図のように搭載部品1と搭載基板5を位置決めしてから、両者を圧着した状態で低融点電極用合金8が溶融する程度の温度で予備加熱し、低融点電極用合金7のみを溶融させ、この低融点電極用合金7を電極用合金4と基板電極6の間に介在させる。これによって、搭載

部品 1 と搭載基板 5 が固定され、外力が加えられても電極間に位置づれを生じさせることがない。低融点電極用合金 8 を溶融させた後、加熱炉などへ搬入して電極用合金 4 を溶融させ、電極用合金 4 と基板電極 6 をはんだ接続する。

以上本発明によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

例えば、前記各実施例では、低融点の電極用合金 3 (あるいは、低融点電極用合金 7、低融点電極用合金 8) を配線 2 側または基板電極 6 側のいずれか一方に設けるものとしたが、双方に設けるようにしてもよい。

また、前記実施例においては、はんだバンプを例に説明したが、この他、ガルウィング型のリードを有するものに対しても適用可能である。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば下

記の通りである。

すなわち、パッケージから同一平面上に露出するように電極部が形成され、この電極部が基板側の電極にはんだ接続される半導体装置であって、前記電極部の少なくとも 1 つを低融点の組成にし、あるいは少なくともその接続部を低融点の組成の電極用合金で覆うようにしたので、他の電極部を溶融するために加熱炉に搬入する過程で外力が付与されても、位置づれを生じさせることがない。

4. 図面の簡単な説明

第 1 図は本発明による半導体装置の一実施例の搭載前を示す正面図、

第 2 図は本発明による半導体装置の搭載後を示す正面図、

第 3 図は本発明による半導体装置の第 2 実施例の搭載前を示す正面図、

第 4 図は第 3 図の実施例による半導体装置の搭載後を示す正面図、

第 5 図は本発明による半導体装置の第 3 実施例の搭載前を示す正面図、

- 11 -

第 6 図は第 5 図の実施例による半導体装置の搭載後を示す正面図、

第 7 図は本発明による半導体装置の第 4 実施例の搭載前を示す正面図、

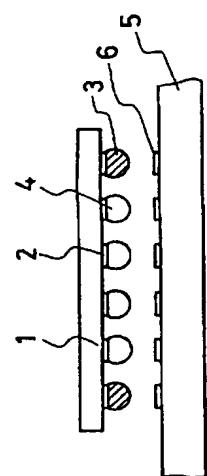
第 8 図は第 7 図の実施例による半導体装置の搭載後を示す正面図である。

1 . . . 搭載部品、2 . . . 配線、3, 7, 8
 . . . 低融点電極用合金、4 . . . 電極用合金、
 5 . . . 搭載基板、6 . . . 基板電極。

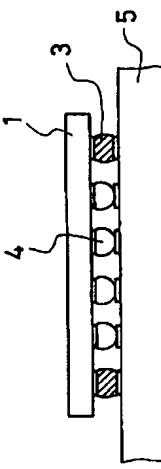
代理人 弁理士 简井大和

- 12 -

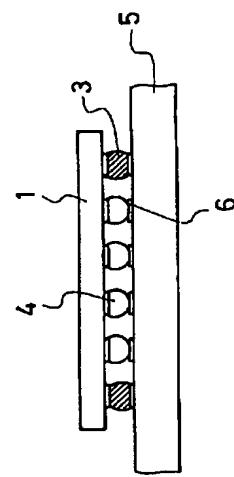
第 1 図



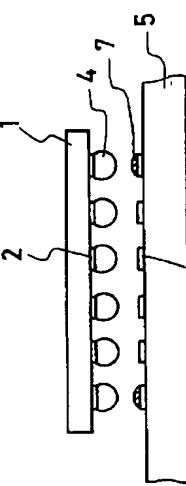
第 2 図



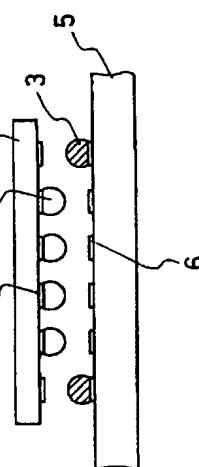
第 4 図



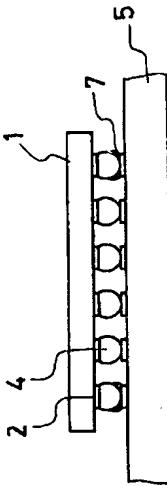
第 5 図



第 3 図



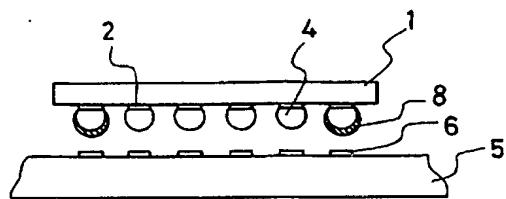
第 6 図



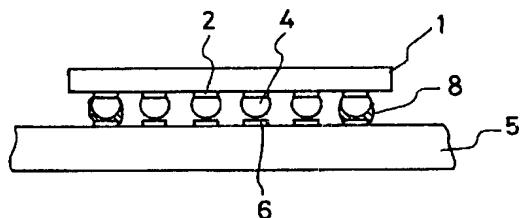
1: 搭載部品
2: 電極
3: 低融点電極用合金
4: 電極用合金
5: 搭載基板
6: 基板電極
7: 低融点電極用合金

1: 搭載部品
2: 電極
3: 低融点電極用合金
4: 電極用合金
5: 搭載基板
6: 基板電極
7: 低融点電極用合金

第 7 図



第 8 図



1 : 搭載部品	8 : 基板電極
2 : 電極	7 : 低融点電極用合金
4 : 電極用合金	8 : 低融点電極用合金
5 : 搭載基板	